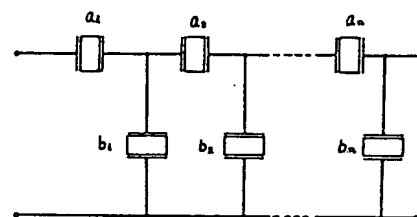


(54) LADDER TYPE PIEZOELECTRIC FILTER

(11) 63-253711 (A) (43) 20.10.1988 (19) JP
 (21) Appl. No. 62-87843 (22) 9.4.1987
 (71) KYOCERA CORP (72) SHIGEMITSU TANIYAMA(1)
 (51) Int. Cl. H03H9/58

PURPOSE: To obtain a large attenuation with less number of components by using a piezoelectric element utilizing a degeneration vibration as a series resonator and using a piezoelectric element using a spread vibration as a parallel resonator.

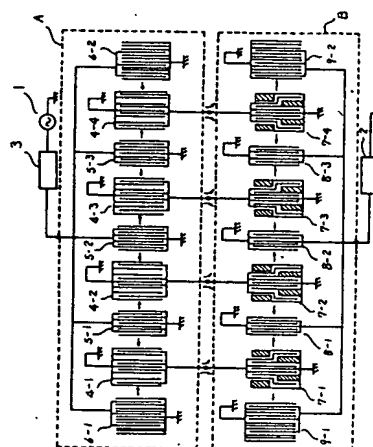
CONSTITUTION: The tiled filter consists of series resonators $a_1 \sim a_n$ and parallel resonators $b_1 \sim b_n$ and piezoelectric resonators using the degeneration vibration are used as series resonators $a_1 \sim a_n$ and the piezoelectric elements utilizing the spread vibration are used as the parallel resonators $b_1 \sim b_n$. The piezoelectric elements utilizing the degeneration vibration are piezoelectric elements coping with the low frequency below 100kHz and the thickness is sufficiently larger by the spread mode resonator and small in the electrode area and the static capacitance is made sufficiently small. Thus, the capacitance ratio with the parallel resonator utilizing the spread vibration is larger by nearly 10 times than the ladder type piezoelectric filter using a conventional spread mode only and the attenuation is increased.

**(54) SURFACE ACOUSTIC BAND PASS FILTER**

(11) 63-253712 (A) (43) 20.10.1988 (19) JP
 (21) Appl. No. 62-86818 (22) 10.4.1987
 (71) HITACHI LTD (72) KAZUHIITO KUROSAWA(1)
 (51) Int. Cl. H03H9/64, H03H9/145

PURPOSE: To ensure a large attenuation at a non-pass band by constituting an independent band pass filter in the 1st surface acoustic wave device and the 2nd surface acoustic wave device.

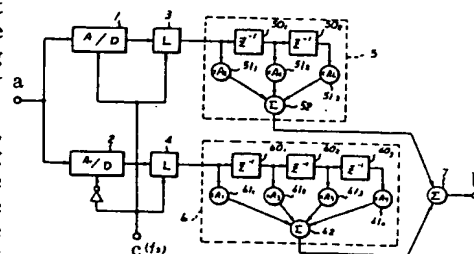
CONSTITUTION: The 1st surface acoustic wave device A consists of the 1st acousto-electric transducers 4 divided repeatedly into plural numbers in the propagatio direction of the surface acoustic wave, the 1st electroacoustic transducers 5 arranged repetitively between the transducers 4 and connected in common to an electric signal source 1 and the 1st unidirectional electroacoustic transducers 6 arranged symmetrically to the outside of the transducers 4. The 2nd surface acoustic wave device B consists of the 2nd electroacoustic transducers 7, the 2nd acoustoelectric transducers 8 and the 2nd unidirectional acoustoelectric transducers 9. In this case, the effective pair number of the transducers 4, 7 is made equal and the 1st and 2nd surface acoustic wave devices A, B are arranged symmetrical. Thus, a large attenuation is ensured.

**(54) SAMPLING CIRCUIT**

(11) 63-253713 (A) (43) 20.10.1988 (19) JP
 (21) Appl. No. 62-88198 (22) 9.4.1987
 (71) PIONEER ELECTRONIC CORP (72) AKISANE KOBAYASHI
 (51) Int. Cl. H03H17/02, H03K7/02, H03M1/12

PURPOSE: To constitute a digital system by circuit components operated at a clock frequency being nearly the sampling frequency by applying n-phase A/D conversion while the sample point is deviated by $2\pi/n$ at every sampling frequency and passing the signal through a digital low pass filter at every phase and summing the result.

CONSTITUTION: The analog signal is fed to two (biphase) A/D converters 1, 2, which apply biphase A/D conversion by a sampling frequency (f_s) having a phase difference of 180° with each other. The signal passes through the digital low pass filters 5, 6 whose interrupting frequency is $f_s/2$ at every phase and the result is summed at an adder 7. Thus, the circuit components of the digital system such as A/D converters are enough to be operated at a low clock frequency being nearly the frequency (f_s) or enough to transmit a signal having a frequency of nearly $f_s/2$ and the circuit constitution is simplified.



⑩ 日本国特許庁(JP)

⑪ 特許出願公開

⑫ 公開特許公報(A)

昭63-253713

⑬ Int. Cl.⁴

識別記号

庁内整理番号

⑭ 公開 昭和63年(1988)10月20日

H 03 H 17/02
// H 03 K 7/02
H 03 M 1/12

A-6903-5J

7328-5J

C-6832-5J

審査請求 未請求 発明の数 1 (全3頁)

⑮ 発明の名称 サンプリグ回路

⑯ 特 願 昭62-88198

⑰ 出 願 昭62(1987)4月9日

⑱ 発 明 者 小 林 聡 実 埼玉県所沢市花園4丁目2610番地 バイオニア株式会社所
沢工場内

⑲ 出 願 人 バイオニア株式会社 東京都目黒区目黒1丁目4番1号

⑳ 代 理 人 弁理士 藤村 元彦

明 細 書

1. 発明の名称

サンプリグ回路

2. 特許請求の範囲

互いに $2\pi/n$ (n は 2 以上の整数) の位相差を有するサンプリグ周波数 f_s でアナログ信号をディジタル化する n 個の A/D (アナログ/ディジタル) 変換器と、これら A/D 変換器の各出力を入力とする通断周波数 $f_s/2$ の n 個のディジタル LPF (ローパスフィルタ) と、これらディジタル LPF の各出力を加算する加算器とを備えたことを特徴とするサンプリグ回路。

3. 発明の詳細な説明

技術分野

本発明は、サンプリグ回路に関し、特に A/D 変換器を含むサンプリグ回路に関するものである。

背景技術

時間的に連続な信号、すなわちアナログ信号を

サンプリグ (標本化) し、ディジタル信号に変換するに際しては、標本化定理により、ディジタル化する原信号中にサンプリグ周波数 f_s の $1/2$ 以上の周波数成分を含まないことが条件となっている。もし $1/2$ 以上の周波数成分を含んだ場合には、復調時にエリヤシング歪を発生することになる。このため、A/D 変換に際しては、アナログ段で LPF (ローパスフィルタ) を用いてサンプリグ周波数 f_s の $1/2$ 以上の周波数成分をカットし、しかるのちサンプリグ周波数 f_s でサンプリグし、A/D 変換を行なう方法が一般的に用いられていた。しかしながら、かかる方法においては、エリヤシング歪を抑制するために設けられたアナログ LPF によって位相歪が発生するという問題があった。

このアナログ LPF による位相歪の問題を解決するために、第 2 図に示すように、A/D 変換器 10 の後段にディジタル LPF 11 を配し、このディジタル LPF 11 として位相直線形 FIR (非逐回形) フィルタを用いた構成のサンプリン

き、しかも回路構成の簡略化が図れるサンプリング回路を提供することを目的とする。

本発明によるサンプリング回路は、互いに $2\pi/n$ (n は 2 以上の整数) の位相差を有するサンプリング周波数 f_s でアナログ信号をディジタル化する n 個の A/D 変換器と、これら A/D 変換器の各出力を入力とする通断周波数 $f_s/2$ の n 個のディジタル LPF と、これらディジタル LPF の各出力を加算する加算器とを備えた構成となっている。

实 施 例

以下、本発明の実施例を図に基づいて詳細に説明する。

第1図は本発明の一実施例を示すブロック図であり、例えば2相サンプリングの場合を示している。図において、ディジタル化されるアナログ信号は2つ(2相)のA/D変換器1、2に供給される。A/D変換器1、2は互いに π (180°)の位相差を有するサンプリング周波数 f_s でアナログ信号をサンプリングし、2相のディジタル信

かかる従来のサンプリング回路においては、 $2f_s$ のサンプリング周波数でA/D変換し、ディジタルLPF1を経たディジタル信号をダウンサンプリング回路12でダウンサンプリングする構成となっているので、ディジタル系の回路素子として高いクロック周波数で動作可能なものを用いる必要があった。

発明の概要

本発明は、上述した点に鑑みなされたもので、
fs（サンプリング周波数）程度のクロック周波
数で動作可能な回路素子でデジタル系を構成で

号に変換する。これにより、 $2fs$ のサンプリング周波数でアナログ信号をサンプリングしたのと実質的に同じことになる。A/D変換器1, 2から出力された2相のディジタル信号はラッチ回路3, 4でラッチされることにより、両相のタイミングが一致せしめられ、ラッチ回路4の出力データがラッチ回路3の出力データよりも 180° 後のデータとなる。両出力データは位相直線形FIRフィルタ構成のディジタルLPF5, 6に供給される。ディジタルLPF5, 6の各出力は加算器7で加算されディジタル信号として出力される。

ディジタルLPF5は、サンプリング周波数 f_s で決まる1クロック分の遅延時間(Z^{-1})を有して互いに級統接続された遅延回路50₁、50₂と、遅延回路50₁の入力信号及び遅延回路50₁、50₂の各出力信号に対して第2図の従来回路における偶数番目の乗算係数 A_2 、 A_4 、 A_6 を乗ずる乗算器51₁～51₃と、各乗算出力を加算する加算器52とから構成されている。一方、ディジタルLPF6は、同様に互いに級統

接続された遅延回路 $60_1, 60_2, 60_3$ と、遅延回路 60_1 の入力信号及び遅延回路 $60_1 \sim 60_3$ の各出力信号に対して従来回路における奇数番目の乗算係数 A_1, A_2, A_3, A_4 を乗ずる乗算器 $61_1 \sim 61_4$ と、各乗算出力を加算する加算器 62 とから構成されている。すなわち、ディジタル LPF $5_1, 6$ 及び加算器 7 からなる回路は、第 2 図の従来回路におけるディジタル LPF 11 と等価な回路構成となっている。

このように、互いに 180° の位相差を有するサンプリング周波数 f_s で2相のA/D変換を行ない、各相毎に遮断周波数 $f_s/2$ のディジタルLPF5, 6を通過せしめたのち加算することにより、各相の信号系に着目すると、A/D変換器を初めとするディジタル系の回路素子は f_s 程度の低いクロックで動作するもの、又 $f_s/2$ 程度の信号を伝達できるものであり、しかも回路構成が複雑化し易い遅延回路を1個、さらにダウンサンプリング回路12を従来回路に比して削減できることになる。

なお、上記実施例では、サンプリング周波数 f_s で π づつサンプルポイントをずらして2相の A/D 変換を行なうことにより、サンプリング周波数 $2f_s$ で単相の A/D 変換を行なうのと同様な効果を得る場合について説明したが、これに限定されるものではなく、 n 相サンプリングで良く、この場合、各ディジタル LPF における乗算係数を従来回路の乗算係数に対して n 個毎の組合わせとすれば良い。

発明の効果

以上説明したように、本発明によるサンプリング回路においては、サンプリング周波数 f_s で $2\pi/n$ づつサンプルポイントをずらして n 相の A/D 変換を行ない、各相毎に遅延周波数 f_s/n のディジタル LPF を通過せしめたのち加算する構成となっているので、 f_s (サンプリング周波数) 程度のクロック周波数で動作可能でかつ f_s/n 程度の信号を伝達し得る回路素子でディジタル系を構成でき、しかも回路構成の簡略化を図ることができる。

4. 図面の簡単な説明

第1図は本発明の一実施例を示すブロック図、第2図は従来例を示すブロック図である。

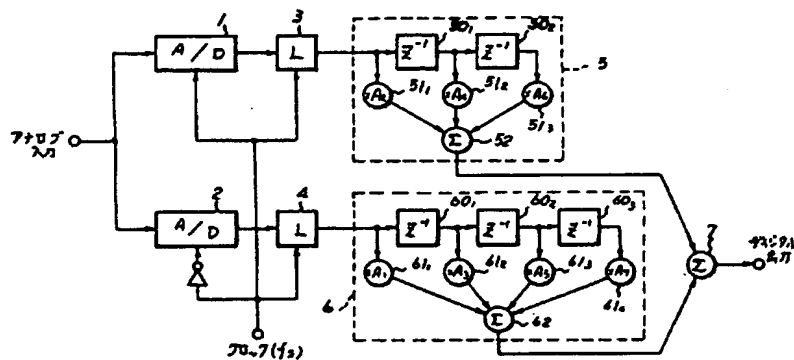
主要部分の符号の説明

- 1, 2, 10 …… A/D 変換器
- 5, 6, 11 …… ディジタル LPF
- Z^{-1} …… 1クロック分の遅延時間 (演算子)

出願人 パイオニア株式会社

代理人 井理士 藤村 元 彦

第1図



第2図

